

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 29/46

(11) 공개번호 2002-0096985
(13) 공개일자 2002년 12월 31일

(21) 출원번호	10-2002-0034087
(22) 출원일자	2002년 06월 16일
(30) 우선권주장	JP-P-2001-00165420 2001년 06월 19일 일본 (JP)
(71) 출원인	신요 덴카 가부시키가이샤
(72) 발명자	일본 오키사카 모리구치시 계이한 혼도오리 2호에 5번 5고 이가라시우스페
	일본 군마현 이세사카사산고우조 19-3
	사마모토노리아끼
	일본 군마현 이마다군 오미마야찌오모마 1671-2
	고바이사오시류끼
	일본 군마현 오리구오이즈미마야찌센고우 1-27-5
	나카무리다케시
	일본 군마현 오라공오이즈미마야찌요리마도 1303-3
(74) 대리인	장수길, 이중희, 구영창

설명문서 2부

(54) 화로 장치 및 그 제조 방법

요약

본해, 도건 패턴을 갖는 물력식 시트을 자지 기판으로서 채용하여, 그 위에 반도체 소자를 실장하고, 전자를 흡수하는 반도체 장치가 있다. 이 경우 다음 배선 구조를 형성할 수 있는 문제나 제조 공정에서의 절차 수지 시트의 후처리에 혼란한 문제를 일상시킨다.

제1 도전막(3)과 제2 도전막(4)을 끌면 수지(2)로 접한 접연 수지 시트을 이용하여, 제1 도전막(3)으로 제1 도전 배선층(5)을 형성하고, 제2 도전막(4)으로 제2 도전 배선층(6)을 형성하여, 일정한 단축 속도(12)으로 접속한다. 반도체 소자(7)는 제1 도전 배선층(5)을 퍼포하는 오버코트 수지(8) 상에 고속 접으로써 제1 도전 배선층(5)과 제2 도전 배선층(6)으로 다음 배선 구조를 실현한다. 또한, 물결거 형성된 제2 도전막(4)이 있기 때문에, 물 형성 계수의 차이 의해 발생하는 휘어짐을 방지할 수 있다.

도면

도 1

세면

접연 수지, 다음 접속 수단, 반도체 소자, 도전막, 관통 구멍, 오버코트 수지, 전극 패드

도면

도면의 기호와 설명

- 도 1은 본 발명의 회로 장치를 설명하는 단면도.
- 도 2는 본 발명의 회로 장치를 설명하는 평면도.
- 도 3은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 4는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 5는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 6은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 7은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 8은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
- 도 9는 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.

도 10은 본 발명의 회로 장치의 제조 방법을 설명하는 단면도.
 도 11은 본 발명의 다른 회로 장치를 설명하는 단면도.
 도 12는 종래의 반도체 장치의 제조 방법을 설명하는 도면.
 도 13은 종래의 반도체 장치의 제조 방법을 설명하는 도면.
 도 14는 본래의 반도체 장치의 제조 방법을 설명하는 도면.
 도 15는 종래의 풀렉시틀 시트를 설명하는 도면.
 <도면의 주요 부분에 대한 주호의 설명>

- 1 : 절연 수지 층
- 2 : 절연 수지
- 3 : 제1 도전막
- 4 : 제2 도전막
- 5 : 제1 도전 배선층
- 6 : 제2 도전 배선층
- 7 : 반도체 소자
- 8 : 오버코트 수지
- 9 : 전극 패드
- 10 : 본딩 패드
- 11 : 본딩 와이어
- 12 : 다층 접착 수단
- 13 : 밀봉 수지층
- 14 : 외부 전극
- 15 : 오버코트 수지
- 21 : 관통 구멍
- 22 : 도전막
- 25 : 절연 접착 수지

도면의 형식과 쪽수

도면의 특징

도면에 나타는 기호는 이 및 그 외에의 관례기호
 본 발명은 회로 장치 및 그 제조 방법에 관한 것으로, 특히 2개의 도전막을 이용하여 박막으로 다층 배선을 실현할 수 있는 회로 장치 및 그 제조 방법에 관한 것이다.
 최근, IC 패키지는 휴대 기기나 소형·고밀도 실장 기기용의 채용이 증가되어, 종래의 IC 패키지와 그 설계 개념이 크게 변하고 있다. 예를 들어, 통신 제어 133678호를 공보해 기술되어 있다. 이것은 절연 수지 층의 일례로서 풀렉시틀 시트를 트리아이드 수지 층으로 반도체 장치에 관한 기술이다.
 도 12~도 14는 풀렉시틀 시트(50)를 인터포저(Interposer) 기판으로서 채용한 것이다. 또한, 각 도면의 위에 도시한 도면은 광면도, 아래에 도시한 A-A선의 단면도이다.
 우선, 도 12는 도시한 풀렉시틀 시트(50) 상에는 접착제를 개재하여 동박 패턴(51)이 접착되어 준비되어 있다. 이 동박 패턴(51)은, 실내에는 반도체 소자(53)를 트랜지스터, 10여 레이어 그 패턴이 다른지만, 일반적으로는 본딩 패드(51A), 아밀린드(51B)가 형성되어 있다. 또한, 참조 번호 52는 풀렉시틀 시트(50)의 이 단면으로부터 전극을 인출하기 위한 자구부이며, 상기 동박 패턴(51)이 노출되어 있다.
 계속해서, 이 풀렉시틀 시트(50)는 다이 블록으로 반출되어, 도 13과 같이, 반도체 소자(53)가 설치된다. 그 후, 이 풀렉시틀 시트(50)는 와이어 블로드로 반출되어, 본딩 패드(51A)와 반도체 소자(53)의 페일(54)가 접속 셋션(54)으로 연결적으로 접속된다.
 마지막으로, 도 14의 (a)와 같이, 풀렉시틀 시트(50)의 표면에 밀봉 수지(55)가 설치되어 밀봉된다. 여기서는, 본딩 패드(51A), 아밀린드(51B), 반도체 소자(53) 및 접속 셋션(54)을 피복하도록 트랜스퍼 풀드 된다.
 그 후, 도 14의 (b)와 도시한 바와 같이, 뺨날이나 텁텁날 등의 절단 수단(56)이 설치되고, 뺨날 리플로 드로(堆)를 통과함으로써 개구부(52)를 통해 본딩 패드(51A)와 풀렉시틀 구멍의 멀납(55)이 형성된다. 여기다가 풀렉시틀 시트(50)에는 반도체 소자(53)가 헤드rix 형상으로 접착되어 때문에, 도 14와 같이 다이 상되며, 개개로 분리된다.

또한 도 14의 (c)에 도시한 단면도는, 플렉시블 시트(50)의 양면에 전국으로서 환조 부호 510가 형성되어 있는 것이다. 미 플렉시블 시트(50)는, 일반적으로, 양면에 플더닝되어 메이커로부터 풀려나고 있다.

물결이 이루고자 하는 기술적 조건

또한 다음 배선 구조를 실현하기 위해서는 지지 강도를 유지하기 위해, 플렉시블 시트(50)를 약 200mm로 출분히 두껍게 할 필요가 있어, 박형회전에 영향하는 문제점도 갖고 있었다.

또한 제조 방법에 있어서는, 삼술한 제조 장치, 예를 들면 다이 본더, 와이어 본더, 트랜스퍼 둘드 강치, 리프로우로 등에서 헬리시트 시트(50)가 반죽되며, 스터이징 또는 테이블로 불리는 보조에 장착된다.

그러나, 흔히 학습 시트 50%의 지지 기반이 되는 절대 수준의 배우기 대비가 50% 정도로 되어 있고, 표면에 혼淆되는 경우는 대체로 5%~10%정도로 알아온 경우도 50% 도서관 반방 같이 뛰어와 민생에서 베우거나 놓고는, 또한 학습한 스토리 미니어나 텔레비전의 형식에서 나온 글들이 있다. 예전에 주제 자체가 배우거나 차운 책에 대해서는 책에 살피는 데서 절대, 흔히 편지(5%)와 함께 수준의 글을 편집하거나 차운 책에 대한 책에 대한 책에 대한 책을 살피 수 있다. 특히 유리 크로스(elsie cloth) 성유리 코이에스터 미술관이 알맞게 떠나온 절대 대로가 도 15% 도서관 반방과 뛰어와 있으므로, 위로 부터의 가로방으로 간단하게 구조된다. 혼淆되는 경우는 없었다.

또한 개구부(52)의 부분은, 폴드 시에 위로부터 기압되기 때문에, 본딩 헤드(51A)의 주변을 위로 휘어지게 하는 힘이 작용하여, 본딩 헤드(51A)의 절착성을 악화시키는 경우도 있었다.

또한 험시를 시트(50)로 구성을 하는 주지 제2동 차체의 험시를 볼 때 견거나, 부딪친 드론을 높이기 위해 험시를 높이기 위한, 딱딱해진다. 이러한 상태에서 외에이너 블론터로 드론을 부딪친 경우 굽이거나 살기는 경우는 15도 이내이다. 또한 트랜스퍼드 드론 시제에, 글루민이 접촉하는 부분에서 굽이거나 살기는 경우가 있다. 이것은 도 15도 시도하고 날고 같은 차체에 있으므로, 보다 정밀한 고찰이 필요하다.

地圖集

발명은 상기한 과정을 감안하여 이루어진 것으로, 첫째로 구조상으로는, 제1 도전막과, 제2 도전막, 상기 제1 도전막과 상기 제2 도전막을 서로 험으로 접착하는 접두수지와, 상기 제1 도전막에 접착되는 접두수지와, 상기 제1 도전막과 상기 제2 도전막을 배경화하여 형성한 제2 도전 배선층과, 상기 제1 도전막과 상기 제2 도전막을 배경화하여 형성한 제2 도전 배선층으로 이루어진다. 상기 제1 도전 배선층과 상기 제2 도전 배선층은 각각 접두수지에 접착되어 접착하여 접속수단과, 상기 제1 도전 배선층과 상기 제2 도전 배선층의 접두수지에 접착되어 접속수단과, 상기 제2 도전 배선층의 원하는 개소에 형성된 외부 전선과 접속된다. 상기 접속수단은 원하는 접속수단이다.

또한 반도체 소자는 오버코트 수지로 제작된다. 전선층과 전기적으로 절연되어 고학되기 때문에, 반도체

제1 도전액 및 제2 도전액으로 두껍게 형성되기 때문에, 절연 수지가 일마도 시트 형상의 화로 기판의 평坦성을 유지할 수 있다.

또한, 제2 도전·변증을 모방해 새 소자를 일부 수지후으로 피복하는 중정까지는, 제2 도전역으로 기계적 강도를 갖게 하기 때문에 제2 도전역으로 새2 도전역을 갖게 하는 것이다. 새1 도전역은 새2 도전역에 미치지 못하는 강도로 수지후를 갖게 하는 것이다. 새1 도전역은 새2 도전역에 미치지 못하는 강도로 수지후를 갖게 하는 것이다.

또한, 트랜스포 풀드 장치의 하부 구조와 면에서 제2 도전막 전체와 접촉시킬 수 있기 때문에, 국부적인 가열이 일어나지 않아 수지의 구조를 훼손할 수 있다.

또한, 제1 도전악은 관통 구멍에 다중 접속 수단을 형성한 후에, 제1 도전 배선층을 형성하기 때문에, 마지막에 다중 접속 수단을 형성할 수 있다.

〈회로 장치의 설계하는 제1 실습예〉

우선 절연 수지 시트에 대하여 설명한다. 도 3은 전체가 절연 수지 시트(1)로, 중간에는 절연 수지(2)가 형성되어 있다. 이 절연 수지(2)의 표면에는 제1 도전막(3)이 형성되고, 이면에는 제2 도전막(4)이 형성된다.

두 절반 수지 시트(1)의 표면에는 수직적으로 전면에 제 1 도전막(3)이 형성되고, 이면에도 수직으로 전면에 제 2 도전막(4)이 형성되는 것이다. 또한 절반 수지(2)의 표면은, 툴리아일 수지 또는 아에토시 수지 등의 고분자로 이루어진 절연 재료로 이루어져 있다. 예를 제 1 도전막(3)은, 바쁜 바쁜 허게는, 디스플레이판으로 하는 것, 또는 풍차의 리드-파워링의 재료로 형성되며, 도금, 페인트, 페인트 또는 페인트에 의해 절연 수지(2)를 복합화시킨다. 외연의 리드-파워링이나 도금판에 의해 형성된 층 속에 전자회로가 된다.

제1 도건택(3)은 두 배가 5~35m 정도로 혈성된다. 가능한 한 많이 해여 미세 페인트를 험성할 수 있도록 배제된다. 제2 도건택(4)은 두 배가 70~200m 정도로 되고 자주 거울을 갖는 편이다. 미라운드이다. (미라운드, 제2 도건택(4)은 두 페인트 혈성으로서, 끝에 수지 시트(1)로 혈성장을 유지할 수 있고, 미라운드의 혈성장을 확장시키고, 끝에 수지(2)에의 굽침 혈성을 유발할 방지할 수 있다.)

또한 혈성장을 유자다면 멀은 수지를 경화할 수 있기 때문에, 페인티지의 미연도 평탄화할 수 있고, 수지 시트(1)의 미연도 혈성되는 견고도 평탄화하는 배치할 수 있다. 따라서 실장 기한 상의 견고화과 혈성화 시트(1)의 미연도의 견고를 경화할 수 있고, 멀은 수지를 평탄화할 수 있다.

수지(2)는 콜리아미드 수지, 에폭시 수지 등이 바탕작하다. 페이스트 혼성의 것을 도포하여 시트로 캐스팅하는 경우, 그 막 두께는 10~100μ 정도이다. 또한 시트로서 혼성하는 경우, 시판되는

증(5)이 형성된다. 탑재되는 반도체 소자의 페드 수가 많아지면 많아질수록 미세 패턴화가 요구된다.

비도체 소자(7)는 제1 도전 빼선층(5) 위를 피복하는 오바코트 수지(8) 상에 전자제로 고착된다. 반도체 소자(1)와 제1 도전 빼선층(5)은 전기적으로 전연결되어 있다. 그 결과, 비도체 소자(7)의 미연에 미세 패

다음 표에 표시된 제1도전 폐선(5)과 제2도전 폐선(6)을 소모의 개소에서 알면 수지(2)를 활용하여 진술하고 있다. 다음 폐선 수단(12)으로서는 구체적으로는 구리의 도금액에 적합하다. 또한 금, 은, 청동, 청동과 같은 도금 평면이나 도금 밀리나도 무방하다.

수지총(13)은 제1 도전 배선총(5) 및 반도체 소자(7)를 피복하고 있다. 이 멀봉 수지총(13)은 완성 멀봉 장치의 기계적 지지의 기능도 겸용하고 있다.

외부 전극(14)은 제2 도전 배선층(6)의 소문의 개소에 형성된다. 즉, 제2 도전 배선층(6)의 대부분은 오른쪽 수지(15)로 봉제되며, 노출된 제2 도전 배선층(6) 상에 뱃금으로 형성된 외부 전극(14)을 형성한다.

도 2를 충족하여, 구체화된 본 발명의 회로 장치를 설명한다. 우선, 실선으로 나타내는 패턴은 제1 도전 배선층(5)이고, 점선으로 나타내는 패턴은 제2 도전 배선층(6)이다. 제1 도전 배선층(5)은 반도체 소자

이러한 구조이면, 200개 이상 페드를 갖는 반도체 소자라도, 제1 도전 배선층(5)의 미세 페팅을 이용하여 제2 도전 배선층(6)까지 다중 배선 구조로 할 수 있고, 제2 도전 배선층(6)에 형성된 일부 전극(14)으로부터 외부 회로와의 접속을 할 수 있다.

〈회로 장치의 제조 방법을 설명하는 제2 실시예〉

은 물질의 화학적 특성의 제조 방법에 대해서는, 도 1~도 10를 참조하여 설명한다.

본 발명의 제1 공정은, 도 3에 도시한 바와 같이, 제1 도전막(3)과 제2 도전막(4)을 접면 수지(2)로 접착한 접면 수지 시트(1)를 준비하는 것이다.

본 발행이 특징으로 하는 점은, 제2 도전액(4)을 제1 도전액(3)보다 두껍게 형성하는 점에 있다. 제1 도전액(3)은 두께가 5~35μ 정도로 형성되며, 가능한 한 얇아 첨액 및 세 페인트 형성할 수 있도록

선학할 수 있고, 학령하는 학제적 장치의 특성에 따라 구분하여 사용할 수 있다.

본법 제2 항정문은, 도 4에 도시한 비와 같이, 물연 주지 시트(1)의 소망의 개소에 제1 도전막(3) 및 절연 수지(2)에 관통 구멍(21)을 형성하여, 제2 도전막(4)을 선택적으로 노출시키는 것이다.

제 10조(도전역학 3) 이하를 통한 협약(2)을 통하여 일부 분야를 노출시키고 포토리저스트로 전면을 폭넓힌다. 그리고 그에 맞춰 포토리저스트을 통해 제1 도전역학(3)에 해당한다. 제1 도전역학(3)은 Cu를 주제로하는 것이 대부분이며, 예상되는 암화 제2 계획 또는 암화 제3 계획을 이용하는 경우에 해당한다. 제1 도전역학(3)은 전자기장과 전자기장을 포토리저스트로 그려내는 해상도에 따라 변화되지만, 대개 시기는 50~100nm 정도이다. 또한 이러한 암화 제2 계획으로서는 전자기장을 전자기장으로 표기하는 경우가 많다. 그리고 제1 도전역학(3)은 전자기장을

또한, 본 출원서는 제1 도전역(3)이 10^{-6} 정도로 압울 경우, 푸트리저스토로 편을 구멍(21) 이외로 편을 통한 편에 따른 가스 레이저로 제1 도전역(3)을 통한 압수(22)를 일으켜 관통 구멍(21)을 형성할 수 있는 제3의 편에 따른 가스 레이저로 제1 도전역(3)의 표면을 통한 압수(22)를 형성하는(30) 체계(30)를 제시하고자 한다.

는 줄리크 세3 풍得意는, 도 5회 도시한 바와 같이, 관을 구원(2)에 나를 접촉 주단(12)을 행성하여, 세도 전막(3)과 제2 도전막(4)을 전기적으로 접속하는 것이다.

다음은 수단(12)의 노력을 학습한다. 이 노력을 통해 도금과 도금의 방법을 학습한다. 여기서는, 모방과 도금의 암시, 즉 *노*를 적용해 관찰(2)을 포함하는 제1 도전(3) 전략에 대해 배운다. 이에 따라 제1 도전(3)과 제2 도전(4)을 적어도 4번 이상으로 도록 하기 때문이다. 제자(4) 제1 도전(3) 전략에 대해 도금을 행하는 2019년 2월의 내용을 듣는다. 이에 따라 관찰(2)을 구상(2)

개용하면, 관통 구멍(21)을 선택적으로 빠트리는 것도 가능하다. 또한, 도금막은 여기서는 Ni를 채용하였지만, Au, Ag, Pd 등을 채용해도 된다. 또한 마스크를 사용하여 부분 도금을 방해해 된다. 본 발명의 제4 공정은, 도 6 및 도 7에 도시한 바와 같이, 제1 도건막(3)을 소망의 패턴으로 예상하여 제1 도건 배선층(5)을 형성하는 것이다.

제1 도건막(3) 상에 소망의 패턴으로 포토리저스트로 확장하고, 본딩 패드(10) 및 본딩 캐드(11)로부터 중앙으로 퍼져나오는 제1 도건 배선층(5)을 하위에 예상하여 의해 형성된다. 제1 도건막(3)은 Ni를 주재료로 하는 것이기 때문에, 예상하는 열화 제2회 또는 열화 제2회를 이용하여 된다.

제1 도건막(3)은 두께가 5~50μm 정도로 형성되어 있기 때문에, 제1 도건 배선층(5)은 50μm 미만의 미세 패턴으로 형성할 수 있다.

계속해서, 제1 도건 배선층(5)의 본딩 패드(10)를 노출시키고 다른 부분을 오버코트 수지(8)로 피복한다. 오버코트 수지(8)는 용지로 속인 액체로 속지 등을 스크린 인쇄로 부착하여, 열 경화시킨다.

또한, 도 8에 도시한 바와 같이, 텁팅 패드(10)를 텁팅설을 고려하여 Au, Ag, Cu 등의 도금막(22)이 형성된다. 이 도금막(22)은 오버코트 수지(8)에 본딩 패드(10) 상에 선택적으로 두껍게 도입으로 부착되거나, 또는 제2 도건막(4)을 전자로 하여 전자 도금으로 부착된다.

본 발명의 제5 공정은, 도 8에 도시한 바와 같이, 제1 도건 배선층(5) 상에 전기적으로 접연하여 반도체 소자(7)를 고착하는 것이다.

반도체 소자(7)는 빼어 씌 모래 오버코트 수지(8) 상에 접연성 접착 수지(25)로 다이몬드된다. 반도체 소자(7)의 그 아래에 제1 도건 배선층(5)은 오버코트 수지(8)로 전기적으로 접연되어 때문에, 제1 도건 배선층(5)은 반도체 소자(7) 아래에서 자유롭게 배선될 수 있다. 다른 배선 구조를 살펴날 수 있다.

또한, 반도체 소자(7)의 각 접촉 페드(9)는 주변에 형성된 제1 도건 배선층(5)의 일부인 본딩 패드(10)에 본딩되어(11) 뒤집어 씌워진다. 반도체 소자(7)는 페이스 다음으로 실질화되어 된다. 이 경우, 반도체 소자(7)의 각 접촉 페드(9)는 표면에 페인트이나 페인트가 형성되고, 절연 수지 씨트(15)의 표면에는 페인트의 위치에 대응한 부분에 본딩 페드(10)와 마찬가지의 경록이 형성된다(도 11 참조).

와이어 및 텁팅 시의 접연 수지 씨트(1)를 이용하는 경우에 대해서 설명한다. 일반적으로 씨션의 와이어는 본딩 시에는 200°C~300°C로 가열된다. 이 때, 제2 도건막(4)이 얇으면, 접연 수지 씨트(1)가 위어가 그 상단에서 본딩 페드(10)를 통해 접연 수지 씨트(1)가 기울어짐으로써 접연 수지 씨트(1)에 금속을 접착할 가능성이 있다. 이것은 접연 수지(2)에 떨어져 기울어진다. 재료 자체가 딱딱하게 유효성을 잃어버리기 때문에, 보다 편하게 기울어진다. 또한 수지는 금속과 접촉하면 유효성이 떨어진다. 때문에, 와이어 시의 본딩에서는 가열이나 초온경화로 어려가기, 페인트를 떨어뜨리기, 접연 수지(2)를 얇게 형성하고, 또한 제2 도건막(4) 자체가 두껍게 형성함으로써 이를 제거해 해결할 수 있다.

본 발명의 제6 공정은, 도 9에 도시한 바와 같이, 제1 도건 배선층(5) 및 반도체 소자(7)를 일본 수지층(13)으로 피복하는 것이다.

접연 수지 씨트(1)를 풀드 장치에 세тов하여 접연 수지 풀드를 한한다. 풀드 방법으로서는 트랜스퍼 풀드, 주입 풀드, 도포, 접침 등이 가능하다. 그러나, 유효성을 고려하면, 트랜스퍼 풀드, 주입 풀드를 적용한다.

본 공정에서는 풀드 케비티의 하부 골형에 걸연 수지 씨트(1)를 뜯어내거나 접착시킬 필요가 있지만, 두개 풀드 도건막(4)은 이러한 가능성을 행한다. 개다가 도건막(4)을 케비티로부터 추출된 후에도, 일본 수지층(13)의 수축이 완료하기에 원형을 떨어뜨리거나, 제2 도건막(4)에 의해 페인트의 풍화성을 유지한다.

즉, 본 공정까지의 걸연 수지 씨트(1)의 기계적 저자의 역할은 제2 도건막(4)이 담당한다.

본 공정의 제7 공정은, 도 10에 도시한 바와 같이, 제2 도건막(4)을 소망의 패턴으로 예상하여 제2 도건 배선층(6)을 형성하는 것이다.

제2 도건막(4)은, 소망의 패턴으로 포토리저스트로 피복하고, 회로전 예상으로 제2 도건 배선층(6)을 형성 한다. 제2 도건막(4)은 두껍기 때문에, 미세 패턴화에 적합하지 않지만, 대체로 일본 수지층(13)을 형성할 수 있다. 제2 도건 배선층(6)은 도 20% 도사인 바와 같이 일본 수지층(13)을 형성하는 강도의 풀드로 형성된다. 개개는 제1 도건 배선층(5)과 다른 접촉 수단(16)을 통해 전기적으로 접속되어 다음 접연 구조를 형성하는 것이다. 또한 필요하면 어색 부분에서 제1 도건 배선층(5)을 고려시키기 위한 제2 도건 배선층(6)을 형성해도 된다.

본 공정의 제8 공정은, 도 10에 도시한 바와 같이, 제2 도건 배선층(6)의 소망의 개소에 외부 전극(14)을 형성하는 것이다.

제2 도건 배선층(6)은 일본 전극(14)을 형성하는 부분을 노출시키고 용제로 녹인 액체시 수지 등을 스크린 인쇄하여 오버코트 수지(15)로 대부분을 피복한다. 다음으로 페인트의 견출로우에 의해 이 노출 부분에 외부 전극(14)을 동시에 형성한다.

마지막으로, 걸연 수지 씨트(1)에는 회로 장치가 다수 마트릭스 형상으로 형성되어 있기 때문에, 일본 수자층(13) 및 걸연 수지 씨트(1)를 다이아만하에 이를로 계개의 회로 장치를 분리한다.

도 11은 반도체 소자(7)가 페이스 다음으로 형성된 구조를 도시한다. 도 1과 같은데는 구성 요소는 동일 부호를 뿐이고, 있으나, 반도체 소자(7)에는 범프 전극(31)이 형성되고, 이 범프 전극(31)과 페드 전극(1)이 접속된다. 오버코트 수지(8)와 반도체 소자(7)의 접속은 일본 수지층(13)으로 접속된다. 이러한 구조에서 본래 와이어를 연결 수 있으므로, 일본 수지층(13)의 두께를 더욱 얕게 할 수 있다. 또한 일본 전극(14)은 제2 도건막(4)을 예상하여 그 표면을 금 혹은 헬리움 도금막(33)으로 피복한 편으로도 형성할 수 있다.

문장의 흐름

본 발명에 따르면, 구조상으로는 미하의 액정을 갖는다.

첫번째로, 제1 도전막을 얇게 형성할 수 있기 때문에, 제1 도전 배선층을 미세 패턴화할 수 있어, 전극 패드 수가 100 이상인 반도체 소자의 내장이 가능하다.

두번째로, 오버코트 수지를 반도체 소자와 제1 도전 배선층을 경기적으로 접연할 수 있기 때문에, 반도체 소자의 아래까지 배선이 가능하게 제1 도전 배선층의 배선의 저항도가 대폭 증가되어, 다음 배선 구조를 설계할 수 있다.

세번째로, 절연 수지로 시트의 패들에 의해 중간의 유리 예폭시 가전이나 플렉시를 시트 등의 인더포제 기판을 미봉하는 경우에 비해, 기계적 강도를 제2 도전막 및 밀봉 수지층에 갖게 하기 때문에 매우 박연의 구조를 실현할 수 있다.

네번째로, 절연 수지로 저울 수지 혹은 초저울 수지를 이용함으로써, 절연 수지를 얇게 할 수 있을 뿐만 아니라 그걸 저항도 대폭 저감할 수 있어, 반도체 소자의 패들을 바로 연결할 수 있다.

또한, 본 발명의 제조 방법에서는 미하의 액정을 갖는다.

첫번째로, 절연 수지로 저울 수지 시트의 휘어짐을 제2 도전막으로 해소할 수 있어, 반송성 등을 회상시킬 수 있다.

두번째로, 절연 수지에 형성하는 팔을 구멍을 탄신 가스 레이저로 형성하기 때문에, 그 후 즉시 다음 접속 수단의 도금을 행할 수 있어, 공정이 매우 간단해진다. 또한 다음 접속 수단으로서 구리 도금을 이용하면, 구리의 제1 도전막과 제2 도전막과 물밀 제교가 되므로, 그 후의 공정에 간단해진다.

세번째로, 다음 접속 수단을 도금막으로 실현할 수 있기 때문에, 제1 도전 배선층을 확장하기 전에 다음 접속 수단을 마스크 위에 형성할 수 있고, 제1 도전 배선층의 형성 시에 동시에 패터닝할 수 있기 때문이다. 다음 접속 수단의 형성이 매우 용이하다.

네번째로, 밀봉 수지와 형성 시까지 절연 수지 시트의 기계적 저지를 제2 도전막으로 행하고, 제2 도전 배선층을 확장한 후에는 절연 수지 시트의 기계적 저지를 밀봉 수지층으로 행하기 때문에, 절연 수지의 기계적인 강도가 문제되지 않아 매우 박연의 습금 방법을 실현할 수 있다.

다섯번째로, 절연 수지 저체가 딱딱한 것과도, 또한 필러가 혼입되어 막히려면 것과도, 일면이 제1 도전막으로 커버되어 있어 때문에, 제조 공정에서 절연 수지 시트 저체의 평탄성이 높아져, 균열의 발생을 방지할 수 있다.

여섯번째로, 절연 수지 시트는 이면에 제2 도전막이 두께로 형성되기 때문에, 천의 디자인 분야와 와이어 분야 반도체 소자의 월봉을 위한 디자인 기준으로서 이용할 수 있다. 게다가 절연 수지 저체가 육면인 경우에도 와이어 분류 시의 예너지의 편리를 확장시킬 수 있어 와이어 분류정도를 한상시킬 수 있다.

(7) 청구의 분류

청구항 1

제1 도전막과,

제2 도전막과,

상기 제1 도전막과 상기 제2 도전막을 시트 형상으로 접착하는 절연 수지와,

상기 제1 도전막을 예비하여 형성한 제1 도전 배선층과,

상기 제2 도전막을 예비하여 형성한 제2 도전 배선층과,

상기 제1 도전 배선층 상에 경기적으로 형성되어 고착되는 반도체 소자와,

상기 제1 도전 배선층과 상기 제2 도전 배선층을 소량의 계소에서 상기 절연 수지를 관통하여 접속하는 다음 접속 수단과,

상기 제1 도전 배선층 및 상기 반도체 소자를 파악하는 밀봉 수지층과,

상기 제2 도전 배선층의 소량의 계소에 형성한 외부 전극

를 포함하는 것을 특징으로 하는 회로 장치.

청구항 2

제1항에 있어서,

상기 제2 도전막은 제1 도전막보다 두껍게 형성하여 저지 강도를 갖게 하는 것을 특징으로 하는 회로 장치.

청구항 3

제1항에 있어서,

상기 절연 수지는 휠리아이드 수지 또는 예폭시 수지를 주성분으로 하는 것을 특징으로 하는 회로 장치.

청구항 4

제1항에 있어서,

상기 같은 수자는 상기 제2 도전막보다 일은 것을 특징으로 하는 회로 장치.

청구항 5

제6항에 있어서,

상기 밭도체 소자는 상기 제1 도전 배선층 위를 피복하는 오비코트 수지 상에 고착되는 것을 특징으로 하는 회로 장치.

청구항 6

제1항에 있어서,

상기 다른 접속 수단은 도전 금속의 도금막인 것을 특징으로 하는 회로 장치.

청구항 7

제1항에 있어서,

상기 제2 도전 배선층의 대부분을 오비코트 수지로 피복하고, 해당 오비코트 수지로부터 노출된 소망의 개소에 맵판으로 이루어지는 외부 전극을 형성한 것을 특징으로 하는 회로 장치.

청구항 8

제1 도전막과 제2 도전막을 접연 수지로 접착한 절연 수지 시트를 준비하는 공정과,

상기 절연 수지 시트의 소망의 개소에 상기 제1 도전막 및 상기 절연 수지에 접한 구멍을 형성하여, 상기 제2 도전막의 이면을 선택적으로 노출시키는 공정과,

상기 관통 구멍에 다른 접속 수단을 형성하여, 상기 제1 도전막과 상기 제2 도전막을 경기적으로 접속하는 공정과,

상기 제1 도전막을 소망의 패턴으로 예상하여 제1 도전 배선층을 형성하는 공정과,

상기 제1 도전 배선층 상에 경기적으로 절연하여 밭도체 소자를 고착하는 공정과,

상기 제1 도전 배선층 및 상기 밭도체 소자를 일봉 수지층으로 피복하는 공정과,

상기 제2 도전막을 소망의 패턴으로 예상하여 제2 도전 배선층을 형성하는 공정과,

상기 제2 도전 배선층의 소망의 개소에 외부 전극을 형성하는 공정

을 포함하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 9

제6항에 있어서,

상기 제1 도전막 및 상기 제2 도전막은 등박으로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 10

제6항에 있어서,

상기 제1 도전막은 상기 제2 도전막보다 일계 형성되어, 상기 제1 도전 배선층을 미세 패턴화하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 11

제6항에 있어서,

상기 제2 도전막은 상기 제1 도전막보다 두께가 형성되어, 상기 일봉 수지층으로 피복하는 공정까지 상기 제2 도전막으로 기계적으로 지지하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 12

제6항에 있어서,

상기 일봉 수지층으로 피복하는 공정 후에는 상기 일봉 수지층으로 기계적으로 지지하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 13

제6항에 있어서,

상기 관통 구멍은, 상기 제1 도전막을 예상한 후에, 상기 제1 도전막을 마스크로 하여 상기 절연 수지를 레이저에 예상하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 14

제10항에 있어서,

상기 레이저 예상은 탄산 가스 레이저를 이용하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 15

제6항에 있어서,

상기 다층 접속 수단은 도전 접속의 무전계 도금 및 전계 도금으로 상기 관통 구멍 및 상기 제1 도전막의 표면에 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 16

제6항에 있어서,

상기 제1 도전 배선층을 형성한 후, 소망의 개소를 남기고 오버코트 수지로 피복하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 17

제16항에 있어서,

상기 제1 도전 배선층의 소망의 개소에 금 혹은 은의 도금층을 형성하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 18

제16항에 있어서,

상기 오버코트 수지 상에 상기 반도체 소자를 고착하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 19

제16항에 있어서,

상기 반도체 소자의 전극과 상기 금 혹은 은의 도금층을 본질 와이어로 접속하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 20

제6항에 있어서,

상기 활용 수지층은 트랜스퍼 풀드로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 21

제6항에 있어서,

상기 제2 도전 배선층의 대부분을 오버코트 수지로 피복하는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 22

제6항에 있어서,

상기 일부 전극은 땅남의 스크린 인쇄로 땅남을 부착하고, 가열 용융하여 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 23

제6항에 있어서,

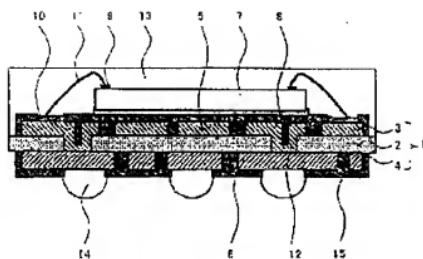
상기 일부 전극은 땅남의 리플로우로 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

청구항 24

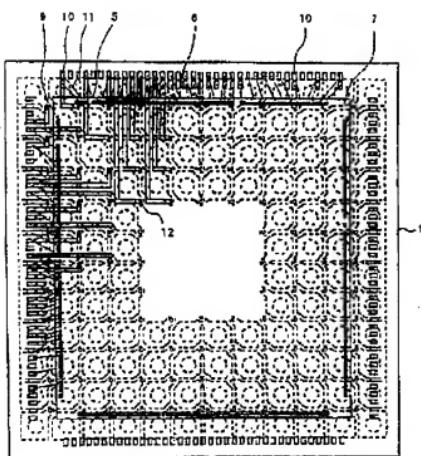
제6항에 있어서,

상기 일부 전극은 상기 제2 도전막을 소망의 패턴으로 예상하고 그 표면에 금 혹은 퀼라듐 도금하여 형성되는 것을 특징으로 하는 회로 장치의 제조 방법.

581



502



5103



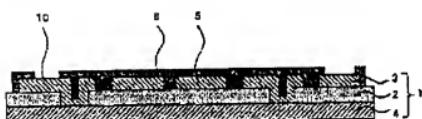
5104



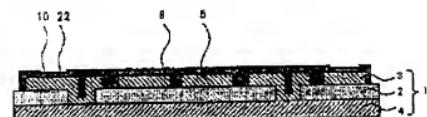
5105



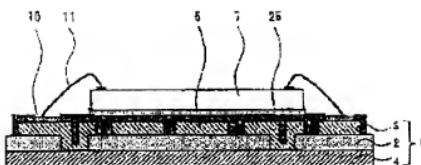
5106



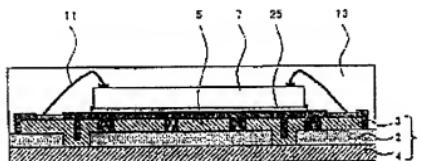
5107



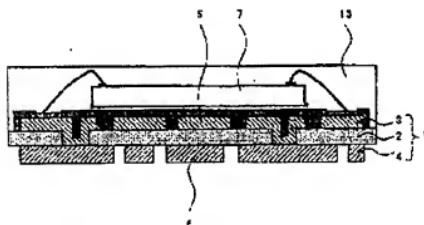
5-026



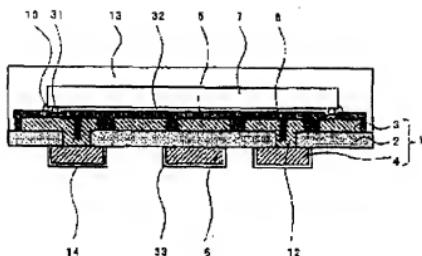
5-029



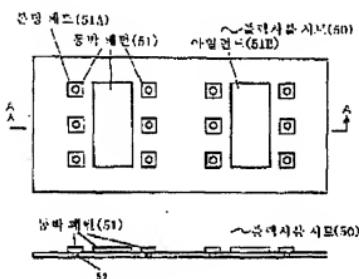
5-0410



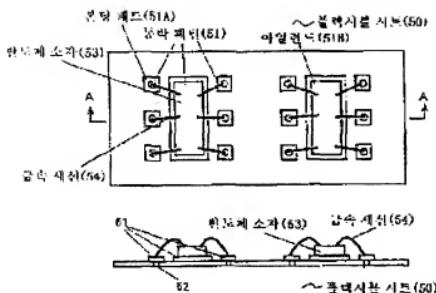
도면 11



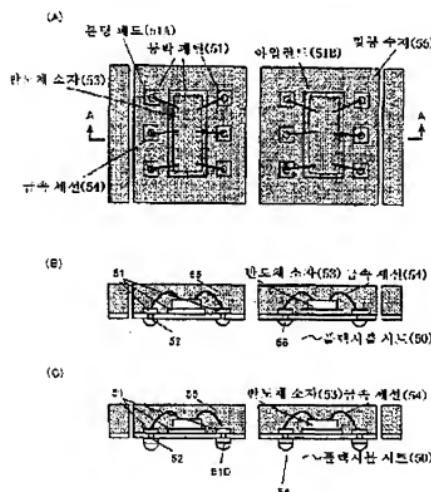
도면 12



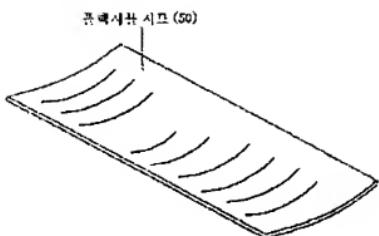
578



6780



도면15



15-15